

Docket No.: 49657-274

#3
Priority
Paper
A. Ford
7/14/99
PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of :
Eiji HASUNUMA, et al. :
Serial No.: : Group Art Unit:
Filed: January 11, 1999 : Examiner:
For: SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEROF



**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Assistant Commissioner for Patents
Washington, DC 20231

Sir:

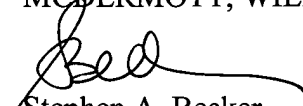
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 10-222824,
Filed August 6, 1998

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:klm
Date: January 11, 1999
Facsimile: (202) 756-8699

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

49657-274
JANUARY 11, 1999
HASUNUMA et al

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日
Date of Application:

1998年 8月 6日

出 願 番 号
Application Number:

平成10年特許願第222824号

出 願 人
Applicant (s):

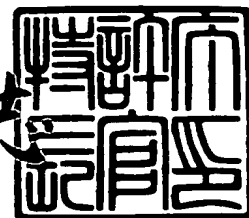
三菱電機株式会社



1998年 9月 4日

特 許 庁 長 官
Commissioner,
Patent Office

伴 佐 山 建 志



出証番号 出証特平10-3071651

【書類名】 特許願

【整理番号】 51237701

【提出日】 平成10年 8月 6日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明の名称】 半導体装置およびその製造方法

【請求項の数】 7

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

 【氏名】 蓮沼 英司

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

 【氏名】 源城 英毅

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

 【氏名】 白竹 茂

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

 【氏名】 蜂須賀 敦司

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

 【氏名】 谷口 浩二

【特許出願人】

 【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100091395

【弁理士】

【氏名又は名称】 吉田 博由

【選任した代理人】

【識別番号】 100091409

【弁理士】

【氏名又は名称】 伊藤 英彦

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9805688

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 主表面を有する半導体基板と、
前記半導体基板の主表面に素子形成領域を規定するための素子分離領域と、
前記半導体基板の主表面から所定の深さ位置において不純物濃度ピークを有し、かつ帯状に設けられるアイソレーション領域と、
前記素子分離領域を貫通するように設けられる接続孔と、
前記接続孔の少なくとも下端部近傍において、前記接続孔の側壁を覆うように設けられる、フッ酸にエッチングされない耐フッ酸側壁膜と、
前記接続孔の内部を充填するように設けられる配線層と、
前記接続孔の下端部から、前記アイソレーション領域にかけて伸びるように前記半導体基板に設けられる不純物領域と、
を備える、半導体装置。

【請求項 2】 前記耐フッ酸側壁膜は、窒化膜である、請求項 1 に記載の半導体装置。

【請求項 3】 前記不純物領域は、前記配線層と前記アイソレーション領域とを接続するように設けられる第 1 不純物領域と、前記接続孔の下端部近傍に設けられ前記配線層と接続するように設けられる第 2 不純物領域とを含む、請求項 2 に記載の半導体装置。

【請求項 4】 前記耐フッ酸側壁膜は、ポリシリコン膜、アモルファスシリコン膜のいずれかである、請求項 1 に記載の半導体装置。

【請求項 5】 主表面を有する半導体基板に素子形成領域を規定するための素子分離領域を形成する工程と、

前記半導体基板の全面に不純物を導入して、前記半導体基板の主表面から所定の深さ位置において不純物濃度ピークを有し、かつ帯状のアイソレーション領域を形成する工程と、

前記素子分離領域を貫通する接続孔を形成する工程と、

前記接続孔の少なくとも下端部近傍において、前記接続孔の側壁を覆うように設

けられる、フッ酸にエッチングされない耐フッ酸側壁膜を形成する工程と、

前記接続孔を用いて前記半導体基板に不純物を導入して、前記接続孔の下端から前記アイソレーション領域に達する第1不純物領域を形成する工程と、

前記接続孔の内部をフッ酸により洗浄する工程と、

前記接続孔の内部を充填するように配線層を形成する工程と、
を備える、半導体装置の製造方法。

【請求項6】 前記耐フッ酸側壁膜を形成する工程は、ポリシリコン膜、アモルファスシリコン膜のいずれかの膜が形成される、
請求項5に記載の半導体装置の製造方法。

【請求項7】 前記耐フッ酸側壁膜を形成する工程は、窒化膜が形成され、
前記耐フッ酸側壁膜が前記接続孔の側壁に形成される前に、前記接続孔を用いて前記半導体基板に不純物を導入して、前記接続孔の下端部近傍に第2不純物領域を形成する工程を含む、
請求項5に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体装置およびその製造方法に関し、より特定的には、半導体装置の動作特性の向上を可能とする半導体装置の構造の改良およびその製造方法の改良に関する。

【0002】

【従来の技術】

まず、従来の半導体装置の構造について、図15を参照して説明する。なお、図15は、従来の半導体装置の構造を概略的に示す断面図である。

【0003】

図15を参照して、p型シリコン基板1の主表面には、活性領域を規定するための素子分離酸化膜2が設けられている。p型シリコン基板1の主表面から所定の深さの位置には、帯状のp型アイソレーション領域3が設けられている。素子分離酸化膜2によって規定された活性領域には、nMOS (Metal Oxide Semico

nductor) 100が形成されている。

【0004】

nMOS 100は、ゲート酸化膜4、ゲート電極5および1対のn型ソース/ドレイン領域6を有している。1対のn型ソース/ドレイン領域6は、ゲート電極5を挟むように設けられている。ゲート電極5の上面、側面および1対のn型ソース/ドレイン領域6の表面は、酸化膜7に覆われ、さらに酸化膜7は層間酸化膜8に覆われている。

【0005】

1対のn型ソース/ドレイン領域6の一方には、ビット線9が接続されている。このビット線9および層間酸化膜8は、層間酸化膜10に覆われている。

【0006】

素子分離酸化膜2の下面には、1対のn型ソース/ドレイン領域6の他方に接続する不純物領域12が設けられている。この不純物領域12には、素子分離酸化膜2を貫通するように設けられたコンタクトホール10aを介して、キャパシタ200が接続されている。

【0007】

キャパシタ200は、不純物領域12に直接接続するストレージノード(下部電極)13と、キャパシタ誘電体膜14と、セルプレート(上部電極)15とを有している。キャパシタ誘電体膜14とセルプレート(上部電極)15とは、層間酸化膜10上を延在するように設けられている。

【0008】

上述した、nMOS 100とキャパシタ200とにより、DRAM (Dynamic Random Access Memory) のメモリセルが構成される。

【0009】

また、コンタクトホール10aの側壁部分には、半導体装置の微細化にともなうコンタクトホール10aの孔径の縮小化の要請から、TEOS (Tetra Ethyle Ortho Silicate) 等の酸化膜による枠付け膜11が設けられている。

【0010】

ここで、図15中のX線断面にしたがった、不純物濃度のプロファイルを図1

6に示す。図16を参照して、ラインAはリン等のn型不純物の濃度を示し、ラインBはボロン等のp型不純物の濃度を示す。ここで、p型アイソレーション領域3は、深さが0.55 μm 以下の領域であり、不純物領域12は、深さ01. μm ~0.55 μm の領域である。

【0011】

次に、上記構成よりなる半導体装置の製造方法について、図17~図25を参照して説明する。なお、図17~図25は、図15の断面構造にしたがった製造方法を示す断面図である。

【0012】

図17を参照して、p型シリコン基板1の主表面に、LOCOS (LOCal Oxidation of Silicon) 法またはトレンチ分離法を用いて、素子分離酸化膜2を形成する。その後、p型シリコン基板1の主表面全面にn型の不純物を導入して、帯状のp型アイソレーション領域3を形成する。

【0013】

次に、図18を参照して、フォトリソグラフィ技術およびエッチング技術を用いて所定の形状を有するゲート酸化膜4およびゲート電極5を形成する。次に、図19を参照して、ゲート電極5をマスクにして、p型シリコン基板1の主表面にn型の不純物を導入して、1対のn型ソース/ドレイン領域6を形成する。

【0014】

次に、図20を参照して、ゲート電極5の上面、側面および1対のn型ソース/ドレイン領域6の表面を覆うように酸化膜7を形成する。さらに、この酸化膜7を覆うように層間酸化膜8を形成する。

【0015】

次に、図21を参照して、1対のn型ソース/ドレイン領域6の一方に通じるコンタクトホールを層間酸化膜8に形成した後、1対のn型ソース/ドレイン領域6の一方に接続する導電層からなるビット線9を形成する。

【0016】

次に、図22を参照して、層間酸化膜8およびビット線9を覆うように層間酸化膜10を形成した後に、フォトリソグラフィ技術およびエッチング技術を用い

て層間酸化膜 10、層間酸化膜 8、酸化膜 7 および素子分離酸化膜 2 を貫通して、シリコン基板 1 に通じるコンタクトホール 10a を形成する。

【0017】

次に、図 23 を参照して、コンタクトホール 10a を用いて、p 型シリコン基板 1 に p 型の不純物を導入して、p 型アイソレーション領域 3 と接続するとともに 1 対の n 型ソース/ドレイン領域 6 の他方に接続する不純物領域 12 を形成する。

【0018】

なお、このときの n 型の不純物の導入は、導入エネルギー $100\text{ keV} \sim 200\text{ keV}$ 、導入量 $1 \times 10^{13}\text{ cm}^{-2} \sim 1 \times 10^{14}\text{ cm}^{-2}$ の条件で行われる。その結果、不純物領域 12 の不純物濃度は、 $3 \times 10^{17}\text{ cm}^{-3} \sim 3 \times 10^{18}\text{ cm}^{-3}$ 程度となる。

【0019】

次に、図 24 を参照して、コンタクトホール 10a 内部を覆うように TEOS 等の酸化膜による枠付け膜 11 を形成する。その後、図 25 を参照して、ドライエッチングにより、コンタクトホール 10a の底部および層間酸化膜 10 上の枠付け膜 11 を除去して、コンタクトホール 10a の側壁部分にのみ枠付け膜 11 を残存させる。その後、コンタクトホール 10a の底部に露出する p 型シリコン基板 1 の表面に形成される自然酸化膜を除去するため、フッ酸による洗浄を行う。

【0020】

次に、不純物領域 12 に直接接続するストレージノード（下部電極）13 と、キャパシタ誘電体膜 14 と、セルプレート（上部電極）15 とを形成することにより、図 15 に示す nMOS 100 とキャパシタ 200 とを有する DRAM のメモリセル構造が完成する。

【0021】

【発明が解決しようとする課題】

しかしながら、上記構造よりなる半導体装置においては、上述したように、コンタクトホール 10a の底部に露出する p 型シリコン基板 1 の表面に形成される

自然酸化膜を除去するため、フッ酸による洗浄が行われる。この時、コンタクトホール 10a の側壁部分に設けられた TEOS 等の酸化膜からなる枠付け膜 11 が、フッ酸によりエッチングされる。その結果、図 26 に示すように、枠付け膜 11 の膜厚さが減少し、コンタクトホール 10a の孔径が減少する問題が生じてしまう。

【0022】

したがって、この発明の目的は、半導体装置の微細化に伴う配線層を形成するための孔径の減少を未然に防止することにより、半導体装置の動作特性の安定化を図ることのできる半導体装置およびその製造方法を提供する。

【0023】

【課題を解決するための手段】

この発明に基づく半導体装置においては、主表面を有する半導体基板と、上記半導体基板の主表面に素子形成領域を規定するための素子分離領域と、上記半導体基板の主表面から所定の深さ位置において不純物濃度ピークを有し、かつ帯状に設けられるアイソレーション領域と、上記素子分離領域を貫通するように設けられる接続孔と、上記接続孔の少なくとも下端部近傍において、上記接続孔の側壁を覆うように設けられる、フッ酸にエッチングされない耐フッ酸側壁膜と、上記接続孔の内部を充填するように設けられる配線層と、上記接続孔の下端部から、上記アイソレーション領域にかけて伸びるように前記半導体基板に設けられる不純物領域とを備えている。

【0024】

上記のように、接続孔の側壁にフッ酸にエッチングされない耐フッ酸側壁膜を設けることにより、半導体装置の製造工程におけるフッ酸を用いた洗浄工程においても、耐フッ酸側壁膜の膜厚さは変化しない。その結果、半導体装置の微細化にともなう接続孔の孔径の縮小化に効果的となる。

【0025】

また、上記半導体装置の好ましい形態として、上記耐フッ酸側壁膜には、窒化膜が用いられる。さらに好ましくは、上記不純物領域は、上記配線層と上記アイソレーション領域とを接続するように設けられる第 1 不純物領域と、上記接続孔

の下端部近傍に設けられ上記配線層と接続するように設けられる第2不純物領域とを含んでいる。

【0026】

このように、接続孔の下端部近傍に第2不純物領域を設けることにより、接続孔の下端部近傍の半導体基板の抵抗が低くなり、半導体装置の動作特性を向上させることが可能になる。

【0027】

また、上記半導体装置の好ましい形態として、上記耐フッ酸側壁膜は、ポリシリコン膜、アモルファスシリコン膜のいずれかである。

【0028】

このように、ポリシリコン膜およびアモルファスシリコン膜は導電性を有するため、接続孔の下端からアイソレーション領域に達する第1不純物領域を形成する際に半導体基板に生じるトラップが問題となることはない。

【0029】

この発明に基づく半導体装置の製造方法においては以下の工程を備えている。

まず、主表面を有する半導体基板に素子形成領域を規定するための素子分離領域が形成される。その後、上記半導体基板の全面に不純物を導入して、上記半導体基板の主表面から所定の深さ位置において不純物濃度ピークを有し、かつ帯状のアイソレーション領域が形成される。

【0030】

次に、上記素子分離領域を貫通する接続孔が形成される。その後、上記接続孔の少なくとも下端部近傍において、上記接続孔の側壁を覆うように設けられる、フッ酸にエッチングされない耐フッ酸側壁膜が形成される。

【0031】

次に、上記接続孔を用いて上記半導体基板に不純物を導入して、上記接続孔の下端から上記アイソレーション領域に達する第1不純物領域が形成される。その後、上記接続孔の内部がフッ酸により洗浄される。その後、上記接続孔の内部を充填するように配線層が形成される。

【0032】

以上、この発明に基づく半導体装置の製造方法によれば、フッ酸を用いた洗浄工程においても、耐フッ酸側壁膜の膜厚さは変化しない。その結果、半導体装置の微細化にともなう接続孔の孔径の縮小化に効果的となる。

【0033】

また、半導体装置の製造方法の好ましい形態として、上記耐フッ酸側壁膜を形成する工程は、ポリシリコン膜、アモルファスシリコンのいずれかの膜が形成される。これらの膜を用いることによっても、フッ酸を用いた洗浄工程において、耐フッ酸側壁膜の膜厚さは変化しない。また、これらの膜は、導電性を有するため、接続孔の下端からアイソレーション領域に達する第1不純物領域を形成する際に半導体基板に生じるトラップが問題となることはない。

【0034】

また、上記発明の好ましい形態として、上記フッ酸側壁膜を形成する工程は、窒化膜が形成され、上記耐フッ酸側壁膜が上記接続孔の側壁に形成される前に、上記接続孔を用いて上記半導体基板に不純物を導入して、上記接続孔の下端部近傍に第2不純物領域が形成される。このように、窒化膜を用いた場合においても、フッ酸を用いた洗浄工程において、耐フッ酸側壁膜の膜厚さは変化しない。

【0035】

また、接続孔の下端からアイソレーション領域に達する第1不純物領域を形成する際に半導体基板に生じるトラップに関しては、接続孔の下端部近傍に第2不純物領域が形成されることにより、問題となることはない。また、接続孔の下端部近傍に第2不純物領域を設けることにより、接続孔の下端部近傍の半導体基板の抵抗が低くなり、半導体装置の動作特性を向上させることが可能になる。

【0036】

【発明の実施の形態】

以下、この発明に基づいた半導体装置およびその製造方法の実施の形態について、以下図を参照して説明する。

【0037】

(実施の形態1)

まず、実施の形態1における半導体装置およびその製造方法について、図を参

照して説明する。なお、図1は、本実施の形態における半導体装置の構造を概略的に示す断面図であり、図1を参照して、p型シリコン基板1の主表面には、活性領域を規定するためのシリコン酸化膜などからなる素子分離酸化膜2が設けられている。p型シリコン基板1の主表面から所定の深さの位置には、帯状のp型アイソレーション領域3が設けられている。素子分離酸化膜2によって規定された活性領域には、nMOS100が形成されている。

【0038】

nMOS100は、ゲート酸化膜4、ゲート電極5および1対のn型ソース/ドレイン領域6を有している。1対のn型ソース/ドレイン領域6は、ゲート電極5を挟むように設けられている。ゲート電極5の上面、側面および1対のn型ソース/ドレイン領域6の表面は、酸化膜7に覆われ、さらに酸化膜7は層間酸化膜8に覆われている。

【0039】

1対のn型ソース/ドレイン領域6の一方には、ビット線9が接続されている。このビット線9および層間酸化膜8は、層間酸化膜10に覆われている。

【0040】

コンタクトホール10aの下端部近傍のシリコン基板1には、p型アイソレーション領域3に達する第1不純物領域52と、1対のn型ソース/ドレイン領域6の他方と接続する第2不純物領域50およびが設けられている。この第1不純物領域52には、素子分離酸化膜2を貫通するように設けられたコンタクトホール10aを介して、配線層としてのキャパシタ200が接続されている。

【0041】

ここで、第1不純物領域52をp型アイソレーション領域3に達するように形成するのは、p型アイソレーション領域3とは逆のn型の不純物をシリコン基板1に導入することにより、p型アイソレーション領域3の不純物濃度を下げるためである。

【0042】

このように、p型アイソレーション領域3の不純物濃度を下げることにより、コンタクトホール10aの下端部からp型アイソレーション領域3に至るX方向

の電界を緩和することができる。その結果、ストレージノード13（後述）からの電荷のX方向に抜けるリーク電流を低減することにより、p型アイソレーション領域3とn型ソース/ドレイン領域6とにより形成されるpn接合の不純物濃度を下げることが可能になる。

【0043】

キャパシタ200は、第1不純物領域52に直接接続するストレージノード（下部電極）13と、キャパシタ誘電体膜14と、セルプレート（上部電極）15とを有している。キャパシタ誘電体膜14とセルプレート（上部電極）15とは、層間酸化膜10上を延在するように設けられている。

【0044】

上述したnMOS100とキャパシタ200とにより、DRAMのメモリセルが構成される。

【0045】

また、コンタクトホール10aの側壁部分には、半導体装置の微細化にともなうコンタクトホール10aの孔径の縮小化の要請から、窒化膜などの絶縁膜からなるフッ酸にエッチングされない耐フッ酸側壁膜51が設けられている。

【0046】

ここで、図1中のX線断面にしたがった、不純物濃度のプロファイルを図2に示す。図2を参照して、ラインAはリン等のn型不純物の濃度を示し、ラインBはボロン等のp型不純物の濃度を示す。ここで、p型アイソレーション領域3は、深さが0.55 μ m以下領域であり、第1不純物領域52は、深さ0.1 μ m～0.55 μ mの領域であり、第2不純物領域50は、第1不純物領域52と重なる領域からなり、深さ0.1 μ m～0.25 μ mの領域である。

【0047】

次に、上記構成よりなる半導体装置の製造方法について、図3～図12を参照して説明する。なお、図3～図12は、図1の断面構造にしたがった製造工程を示す断面図である。

【0048】

図3を参照して、p型シリコン基板1の主表面に、LOCOS（LOCal Oxidat

ion of Silicon) 法またはトレンチ分離法を用いて、素子分離酸化膜 2 を形成する。その後、p 型シリコン基板 1 の主表面全面に n 型の不純物を導入して、帯状の p 型アイソレーション領域 3 を形成する。p 型アイソレーション領域 3 の不純物濃度は、 $1 \times 10^{17} \text{ cm}^{-3} \sim 5 \times 10^{17} \text{ cm}^{-3}$ に設定される。

【0049】

次に、図 4 を参照して、フォトリソグラフィ技術およびエッチング技術を用いて所定の形状を有するゲート酸化膜 4 およびゲート電極 5 を形成する。次に、図 5 を参照して、ゲート電極 5 をマスクにして、p 型シリコン基板 1 の主表面に n 型の不純物を導入して、1 対の n 型ソース/ドレイン領域 6 を形成する。1 対の n 型ソース/ドレイン領域 6 の不純物濃度は、 $5 \times 10^{17} \text{ cm}^{-3} \sim 1 \times 10^{18} \text{ cm}^{-3}$ に設定される。

【0050】

次に、図 6 を参照して、ゲート電極 5 の上面、側面および 1 対の n 型ソース/ドレイン領域 6 の表面を覆うように酸化膜 7 を形成する。さらに、この酸化膜 7 を覆うように層間酸化膜 8 を形成する。

【0051】

次に、図 7 を参照して、1 対の n 型ソース/ドレイン領域 6 の一方に通じるコンタクトホールを酸化膜 7 および層間酸化膜 8 に形成した後、1 対の n 型ソース/ドレイン領域 6 の一方に接続するアルミなどの導電層からなるビット線 9 を形成する。

【0052】

次に、図 8 を参照して、層間酸化膜 8 およびビット線 9 を覆うように層間酸化膜 10 を形成した後に、フォトリソグラフィ技術およびエッチング技術を用いて層間酸化膜 10、層間酸化膜 8、酸化膜 7 および素子分離酸化膜 2 を貫通して、シリコン基板 1 に通じるコンタクトホール 10a をドライエッチングにより形成する。ドライエッチングは、 41 mTorr 、 1700 W 、 $\text{C}_4\text{F}_8 : 10 \text{ sccm}$ 、 $\text{CO} : 50 \text{ sccm}$ 、 $\text{Ar} : 250 \text{ sccm}$ 、 $\text{O}_2 : 5 \text{ sccm}$ の条件の下で行われる。

【0053】

次に、図9を参照して、コンタクトホール10aを用いて、p型シリコン基板1にn型の不純物（たとえば、リンなど）を導入して、1対のn型ソース/ドレイン領域6の他方に接続する第2不純物領域50を形成する。

【0054】

なお、このときのn型の不純物の導入は、導入エネルギー20keV～120keV、導入量 $8 \times 10^{12} \text{ cm}^{-2} \sim 8 \times 10^{13} \text{ cm}^{-2}$ の条件で行われる。その結果、第2不純物領域50の不純物濃度は、 $2 \times 10^{17} \text{ cm}^{-3} \sim 2 \times 10^{18} \text{ cm}^{-3}$ 程度となる。

【0055】

次に、図10を参照して、コンタクトホール10a内部を覆うように窒化膜による耐フッ酸側壁膜51を形成する。その後、図11を参照して、ドライエッチングにより、コンタクトホール10aの底部および層間酸化膜10上の耐フッ酸側壁膜51を除去して、コンタクトホール10aの側壁部分にのみ耐フッ酸側壁膜51を残存させる。ドライエッチングは、60mTorr、700W、CHF₃ : 50sccm、Ar : 100sccmの条件の下で行われる。

【0056】

その後、コンタクトホール10aの底部に露出するp型シリコン基板1の表面に形成される自然酸化膜を除去するため、フッ酸による洗浄を行う。

【0057】

次に、図12を参照して、コンタクトホール10aを用いて、p型シリコン基板1にn型の不純物（たとえば、リンなど）を導入して、p型アイソレーション領域3に接続する第1不純物領域52を形成する。

【0058】

なお、このときのn型の不純物の導入は、導入エネルギー80keV～180keV、導入量 $8 \times 10^{12} \text{ cm}^{-2} \sim 8 \times 10^{13} \text{ cm}^{-2}$ の条件で行われる。その結果、第1不純物領域52の不純物濃度は、 $2 \times 10^{17} \text{ cm}^{-3} \sim 2 \times 10^{18} \text{ cm}^{-3}$ 程度となる。

【0059】

次に、第1不純物領域52に直接接続するストレージノード（下部電極）13

と、キャパシタ誘電体膜 14 と、セルプレート（上部電極）15 とを形成することにより、図 1 に示す nMOS 100 とキャパシタ 200 とを有する本実施の形態における DRAM のメモリセル構造が完成する。

【0060】

以上、この実施の形態における半導体装置およびその製造方法によれば、フッ酸を用いた洗浄工程において、ように、窒化膜を用いた場合においても、耐フッ酸側壁膜 51 として窒化膜を用いているため、耐フッ酸側壁膜 51 の膜厚さは変化しない。その結果、DRAM のリフレッシュ特性を向上させることが可能となる。

【0061】

また、コンタクトホール 10a の下端からアイソレーション領域 3 に達する第 1 不純物領域 52 を形成する際にシリコン基板 1 に生じるトラップに関しては、コンタクトホール 10a の下端部近傍のシリコン基板 1 に第 2 不純物領域 50 を形成することにより問題となることはない。

【0062】

さらに、コンタクトホール 10a の下端部近傍のシリコン基板 1 に第 2 不純物領域 50 を設けることにより、コンタクトホール 10a の下端部近傍のシリコン基板 1 の抵抗が低くなり、DRAM の書込み特性を向上させることが可能になる。

【0063】

（実施の形態 2）

次に、実施の形態 2 における半導体装置およびその製造方法について、図 13 を参照して説明する。なお、図 13 は、本実施の形態における半導体装置の構造を概略的に示す断面図である。

【0064】

図 13 を参照して、本実施の形態における半導体装置は上記実施の形態 1 における半導体装置と基本的構造は同一である。したがって、ここでは相違点についてのみ詳述する。また、実施の形態 1 における半導体装置と同一部分には、同一の符号を付すものとする。

【0065】

本実施の形態における半導体装置は、実施の形態1における窒化膜からなる耐フッ酸側壁膜51にかわり、コンタクトホール10aの側壁部分にポリシリコン、アモルファスシリコン等の導電体膜からなる耐フッ酸側壁膜53が形成されている。

【0066】

この導電体膜からなる耐フッ酸側壁膜53によっても、フッ酸を用いた洗浄工程において、耐フッ酸側壁膜51の膜厚さは変化しない。その結果、DRAMのリフレッシュ特性を向上させることが可能となる。

【0067】

また、耐フッ酸側壁膜53は導電体膜からなるため、実施の形態1で説明したコンタクトホール10aの下端からアイソレーション領域3に達する第1不純物領域52を形成する際にシリコン基板1に生じるトラップは問題とならない。その結果、本実施の形態においては、コンタクトホール10aの下端部近傍のシリコン基板1に第2不純物領域50を形成する必要はない。

【0068】

(実施の形態3)

次に、実施の形態3における半導体装置について、図14を参照して説明する。なお、図14は、本実施の形態における半導体装置の構造を概略的に示す断面図である。

【0069】

図14を参照して、本実施の形態における半導体装置は上記実施の形態1における半導体装置と基本的構造は同一である。したがって、ここでは相違点についてのみ詳述する。また、実施の形態1における半導体装置と同一部分には、同一の符号を付すものとする。

【0070】

本実施の形態における半導体装置は、実施の形態1における窒化膜からなる耐フッ酸側壁膜51が、コンタクトホール10aの側壁下端部分近傍にのみ形成されている。ここで、この高さが低い耐フッ酸側壁膜51の製造は、実施の形態1

の図 11 に示すドライエッチング工程において、ドライエッチング条件を適宜選択することにより可能となる。

【0071】

以上、この実施の形態 3 における半導体装置においても、実施の形態 1 と同様の作用・効果を得ることができる。

【0072】

なお、今回開示した上記各実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。したがって、耐フッ酸側壁膜として、窒化膜の絶縁体膜、ポリシリコン、アモルファスシリコンの導電体膜を用いる場合について説明したが、TEOS 等の酸化膜に比べてフッ酸に対するエッチングレートが遅い材料であれば良く、その材料が絶縁体の場合は実施の形態 1 と同様の構成、その材料が導電体の場合は実施の形態 2 と同様の構成を採用することにより、実施の形態 1 および実施の形態 2 と同様の作用効果を得ることができる。よって、本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0073】

【発明の効果】

この発明に基づく半導体装置および製造方法によれば、接続孔の側壁にフッ酸にエッチングされない耐フッ酸側壁膜を設けることにより、半導体装置の製造工程におけるフッ酸を用いた洗浄工程においても、耐フッ酸側壁膜の膜厚さは変化しない。その結果、半導体装置の微細化にともなう接続孔の孔径の縮小化に効果的となり、半導体装置の動作特性を向上させることが可能になる。

【図面の簡単な説明】

【図 1】 実施の形態 1 における半導体装置の構造を概略的に示す断面図である。

【図 2】 図 1 中の X 線断面にしたがった、不純物濃度のプロファイルを示す図である。

【図 3】 実施の形態 1 における半導体装置の製造方法を説明するための第

1 工程断面図である。

【図 4】 実施の形態 1 における半導体装置の製造方法を説明するための第 2 工程断面図である。

【図 5】 実施の形態 1 における半導体装置の製造方法を説明するための第 3 工程断面図である。

【図 6】 実施の形態 1 における半導体装置の製造方法を説明するための第 4 工程断面図である。

【図 7】 実施の形態 1 における半導体装置の製造方法を説明するための第 5 工程断面図である。

【図 8】 実施の形態 1 における半導体装置の製造方法を説明するための第 6 工程断面図である。

【図 9】 実施の形態 1 における半導体装置の製造方法を説明するための第 7 工程断面図である。

【図 10】 実施の形態 1 における半導体装置の製造方法を説明するための第 8 工程断面図である。

【図 11】 実施の形態 1 における半導体装置の製造方法を説明するための第 9 工程断面図である。

【図 12】 実施の形態 1 における半導体装置の製造方法を説明するための第 10 工程断面図である。

【図 13】 実施の形態 2 における半導体装置の構造を概略的に示す断面図である。

【図 14】 実施の形態 3 における半導体装置の構造を概略的に示す断面図である。

【図 15】 従来技術における半導体装置の構造を概略的に示す断面図である。

【図 16】 図 15 中の X 線断面にしたがった、不純物濃度のプロファイルを示す図である。

【図 17】 従来技術における半導体装置の製造方法を説明するための第 1 工程断面図である。

【図 18】 従来の技術における半導体装置の製造方法を説明するための第 2 工程断面図である。

【図 19】 従来の技術における半導体装置の製造方法を説明するための第 3 工程断面図である。

【図 20】 従来の技術における半導体装置の製造方法を説明するための第 4 工程断面図である。

【図 21】 従来の技術における半導体装置の製造方法を説明するための第 5 工程断面図である。

【図 22】 従来の技術における半導体装置の製造方法を説明するための第 6 工程断面図である。

【図 23】 従来の技術における半導体装置の製造方法を説明するための第 7 工程断面図である。

【図 24】 従来の技術における半導体装置の製造方法を説明するための第 8 工程断面図である。

【図 25】 従来の技術における半導体装置の製造方法を説明するための第 9 工程断面図である。

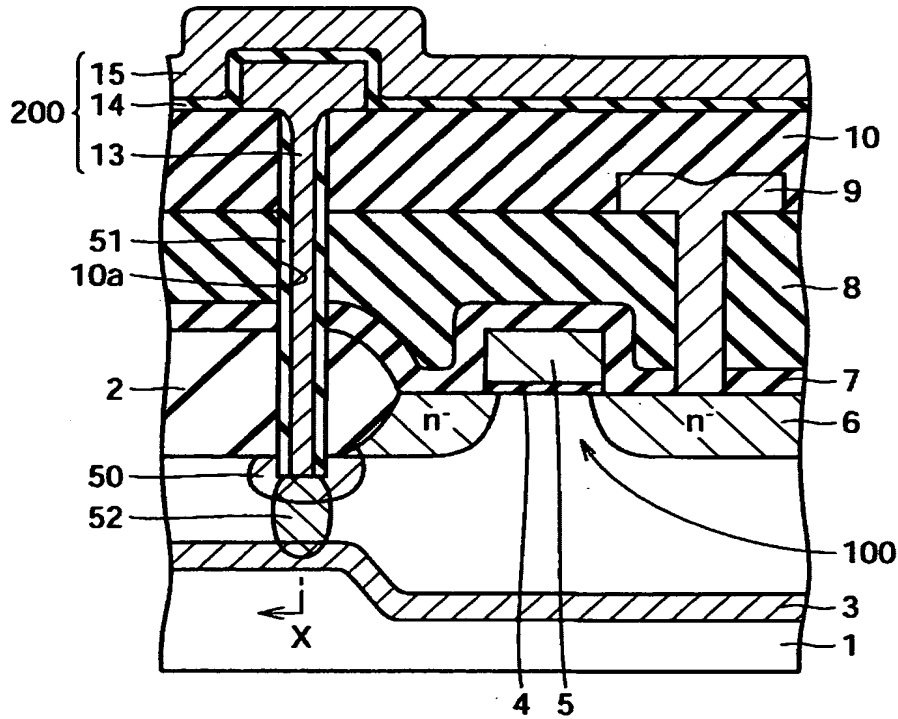
【図 26】 従来の技術における半導体装置および製造方法の問題点を示す模式図である。

【符号の説明】

1 p 型シリコン基板、2 素子分離酸化膜、3 p 型アイソレーション領域、100 nMOS、4 ゲート酸化膜、5 ゲート電極、6 n 型ソース/ドレイン領域、7 酸化膜、8 層間酸化膜、9 ビット線、10 層間酸化膜、10a コンタクトホール、11 枠付け膜、12 不純物領域、200 キャパシタ、13 ストレージノード（下部電極）、14 キャパシタ誘電体膜、15 セルプレート（上部電極）、50 第 2 不純物領域、51 耐フッ酸側壁膜、52 第 1 不純物領域、53 耐フッ酸側壁膜。

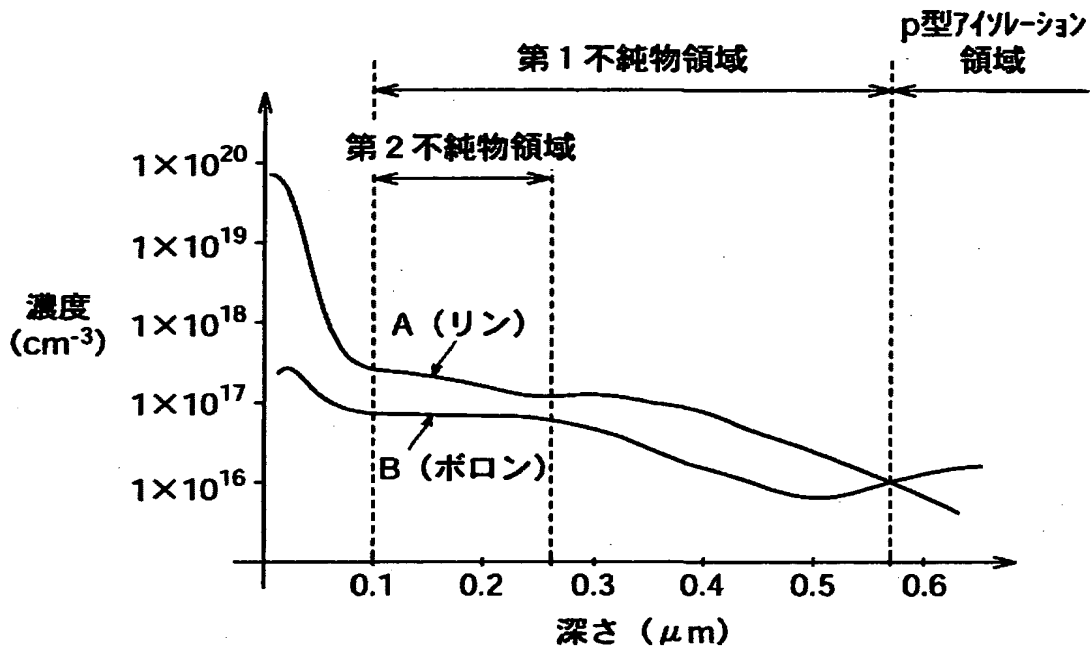
【書類名】 図面

【図 1】

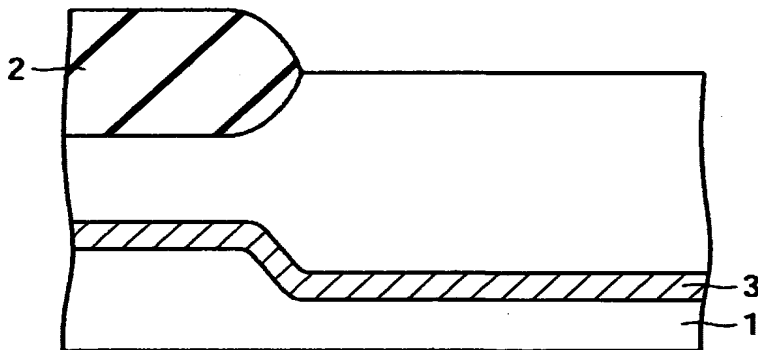


- | | | |
|-------------|---------------|------------------------------|
| 1: シリコン基板 | 2: 素子分離酸化膜 | 3: アイソレーション領域 |
| 4: ゲート酸化膜 | 5: ゲート電極 | 6: n ⁻ ソース/ドレイン領域 |
| 7: 酸化膜 | 8: 層間酸化膜 | 9: ビット線 |
| 10: 層間酸化膜 | 10a: コンタクトホール | 13: ストレージノード |
| 14: 誘電体膜 | 15: セルプレート | 50: 第2不純物領域 |
| 51: 耐フッ酸側壁膜 | 52: 第1不純物領域 | 100: nMOS |
| 200: キャパシタ | | |

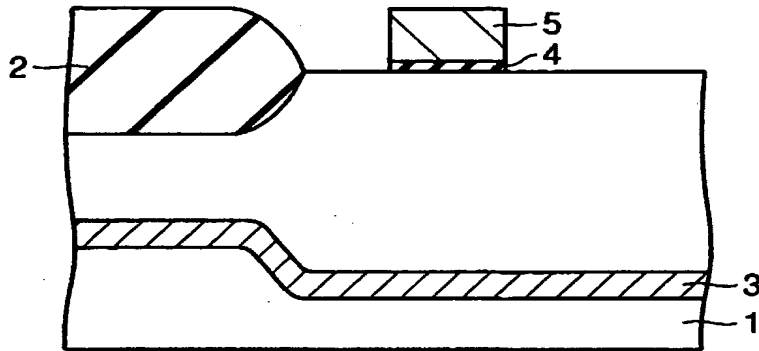
【図 2】



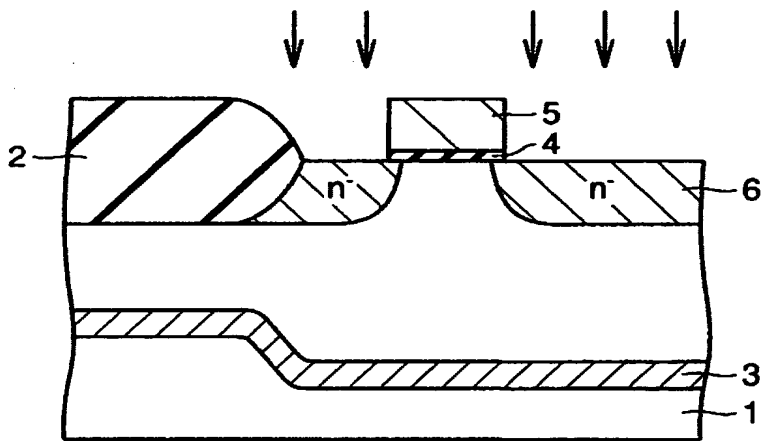
【図 3】



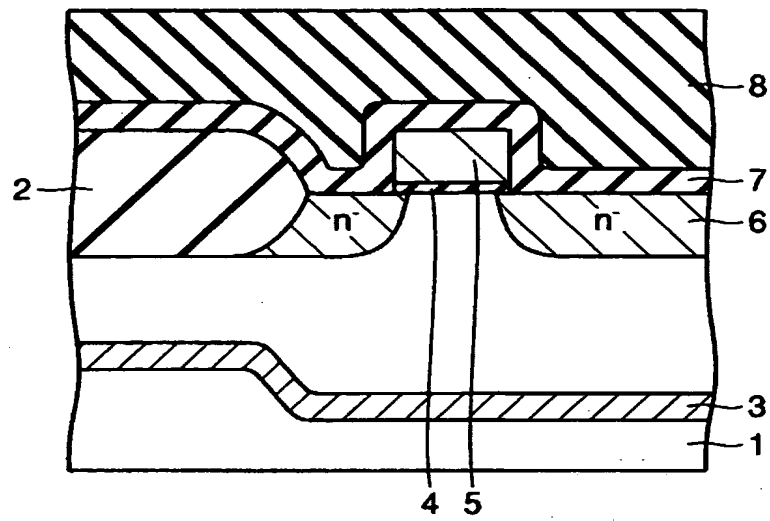
【図 4】



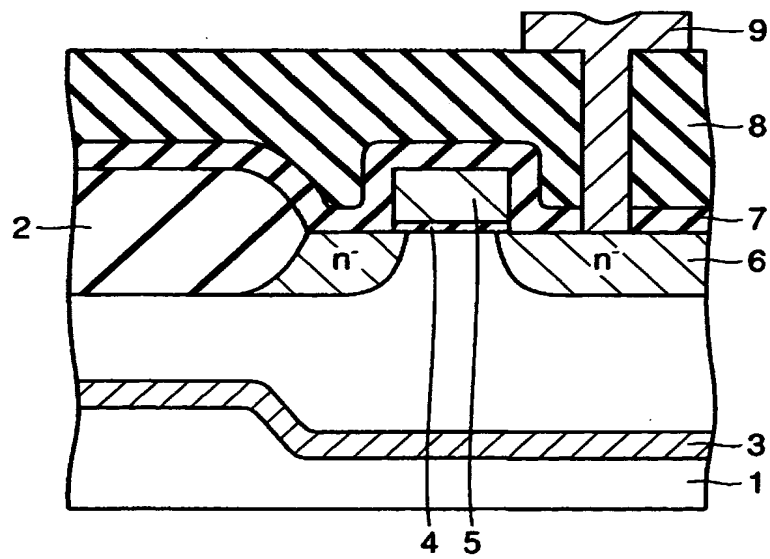
【図 5】



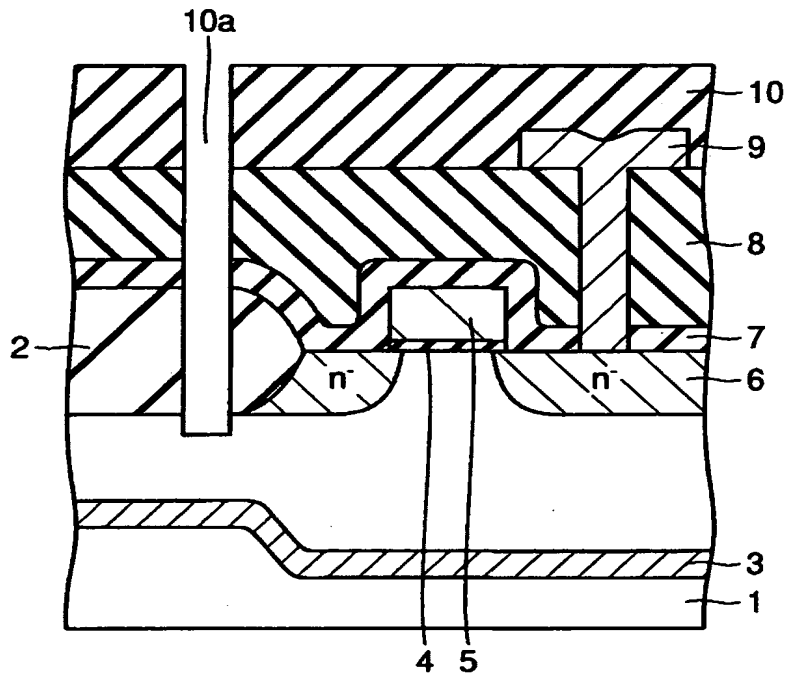
【図 6】



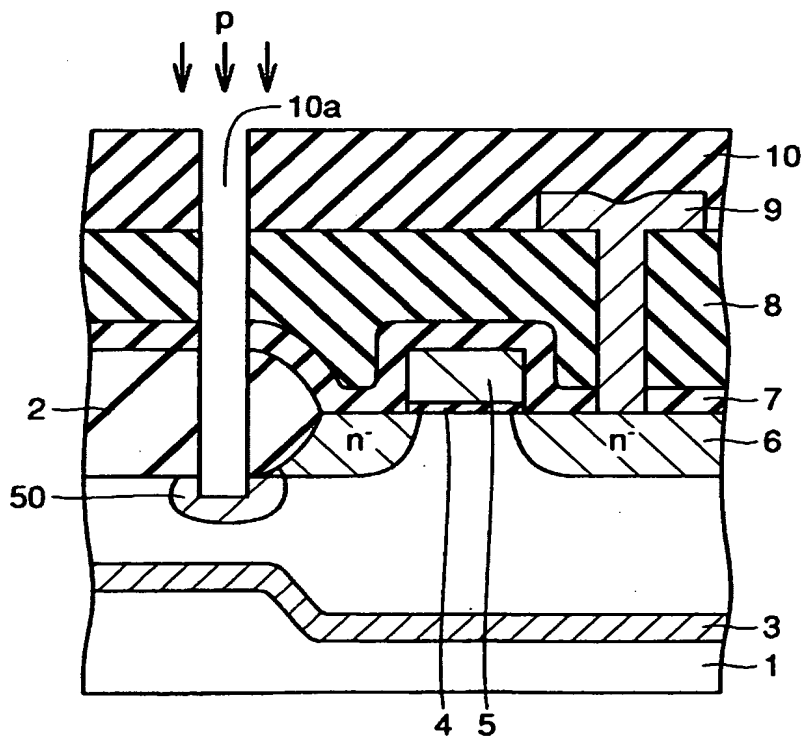
【図 7】



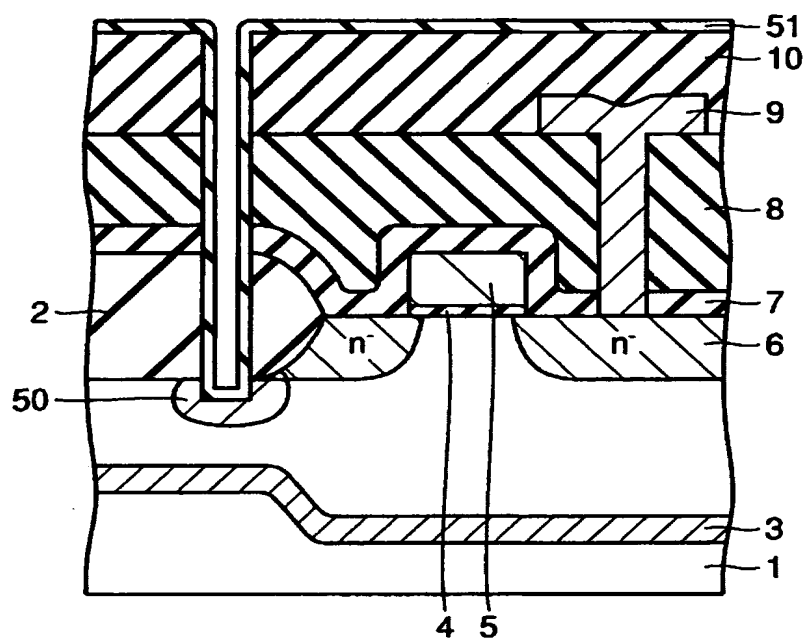
【图 8】



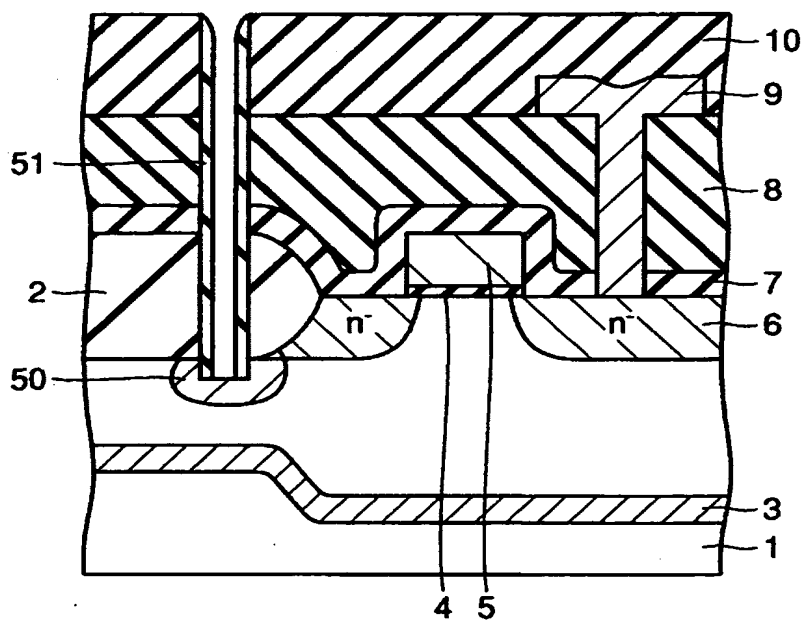
【图 9】



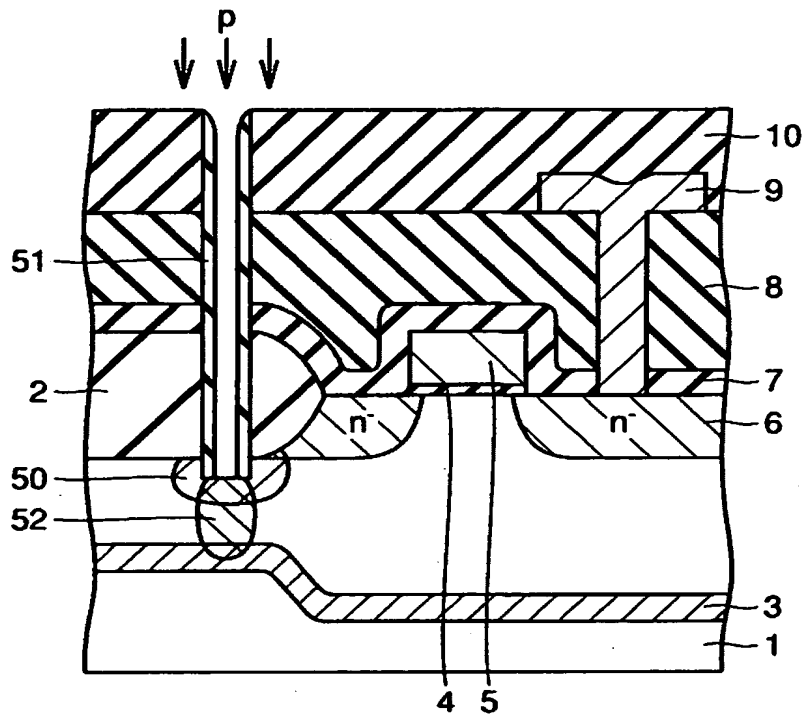
【図 10】



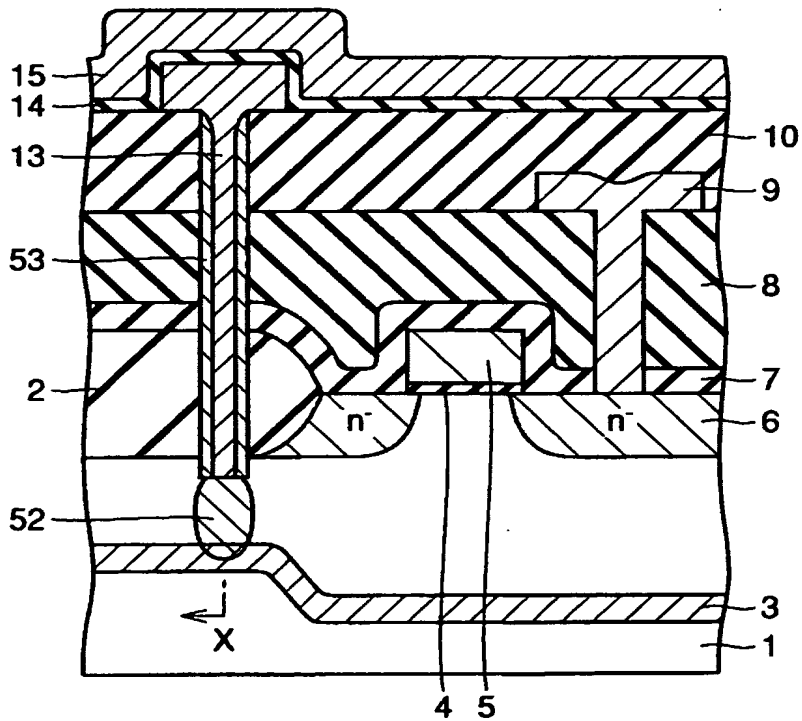
【図 11】



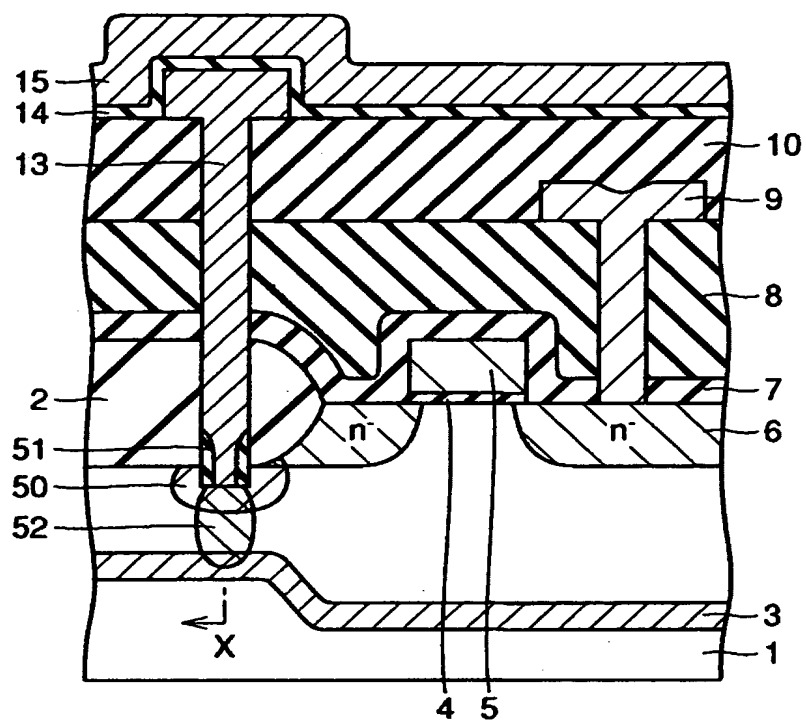
【図 12】



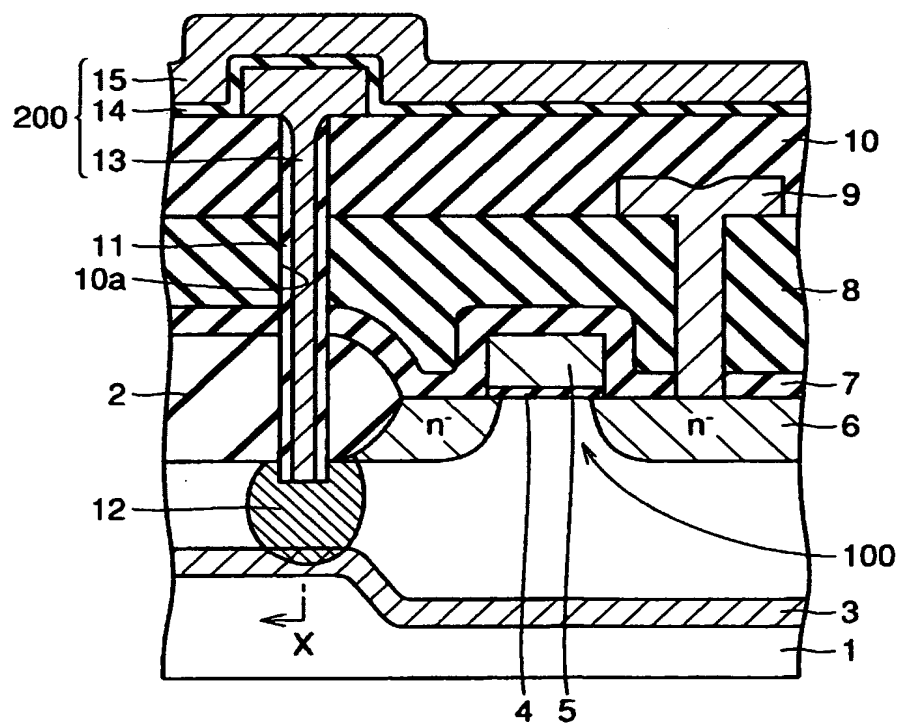
【図 13】



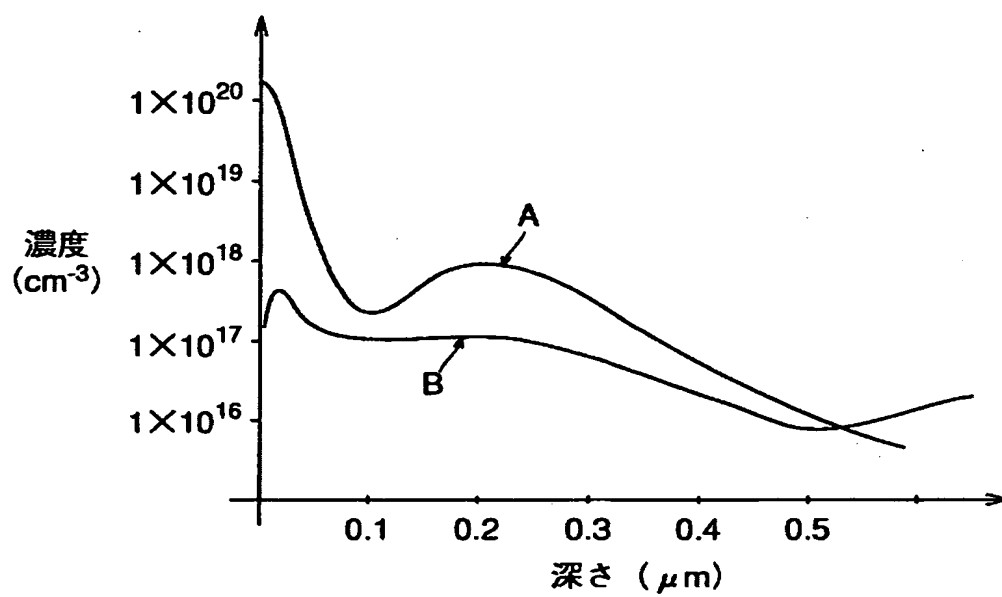
【図 14】



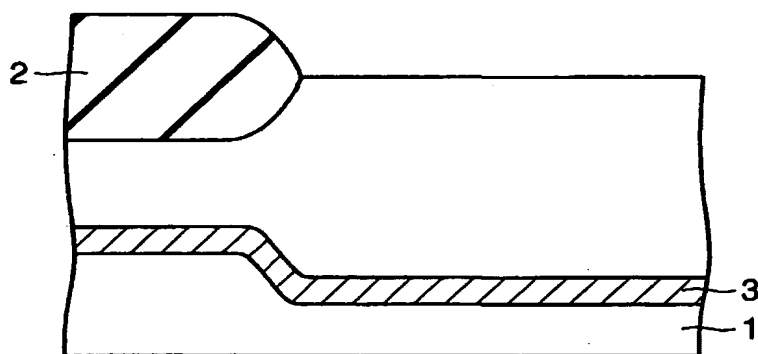
【図 15】



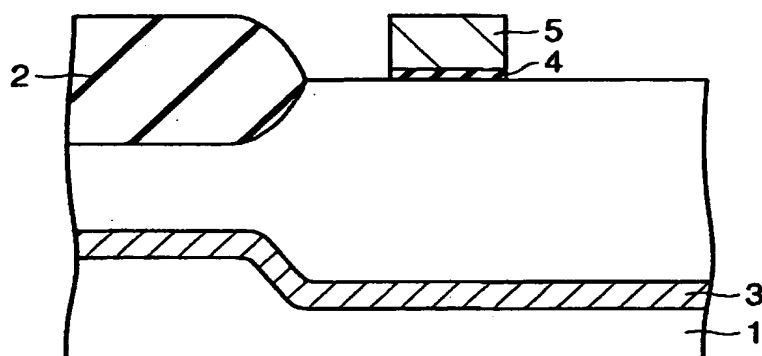
【図 16】



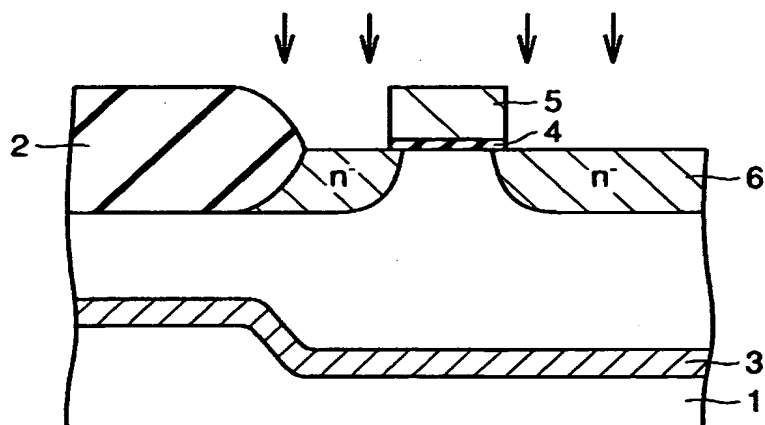
【図 17】



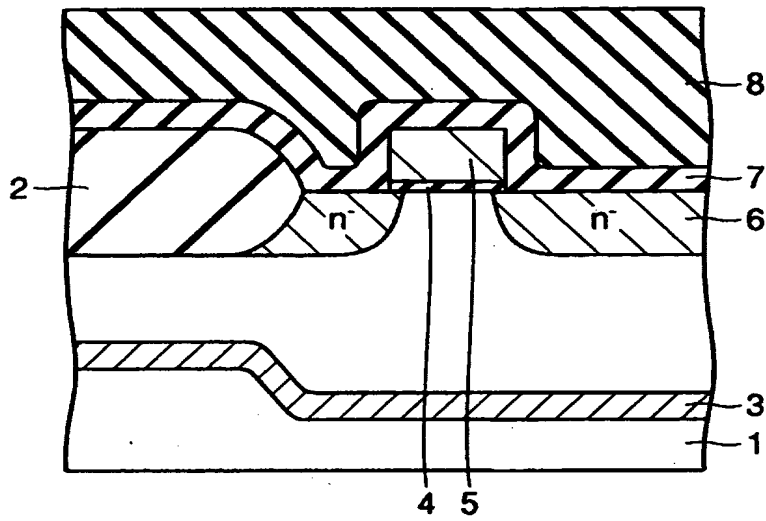
【図 18】



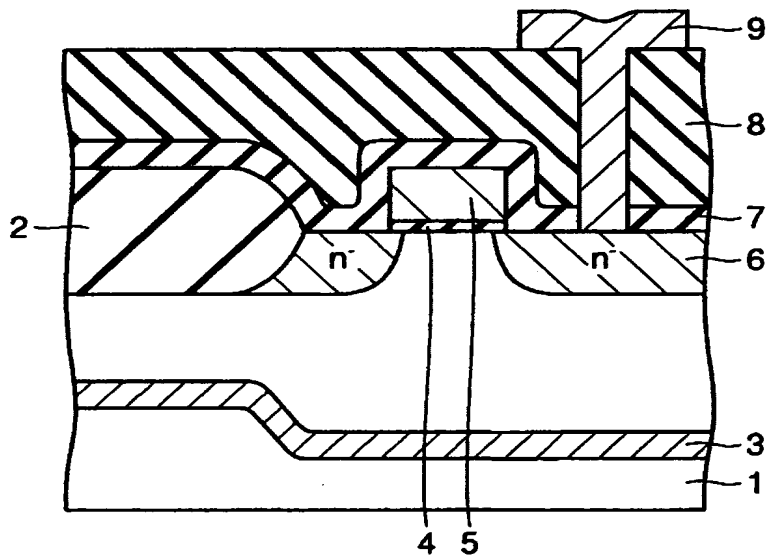
【図 19】



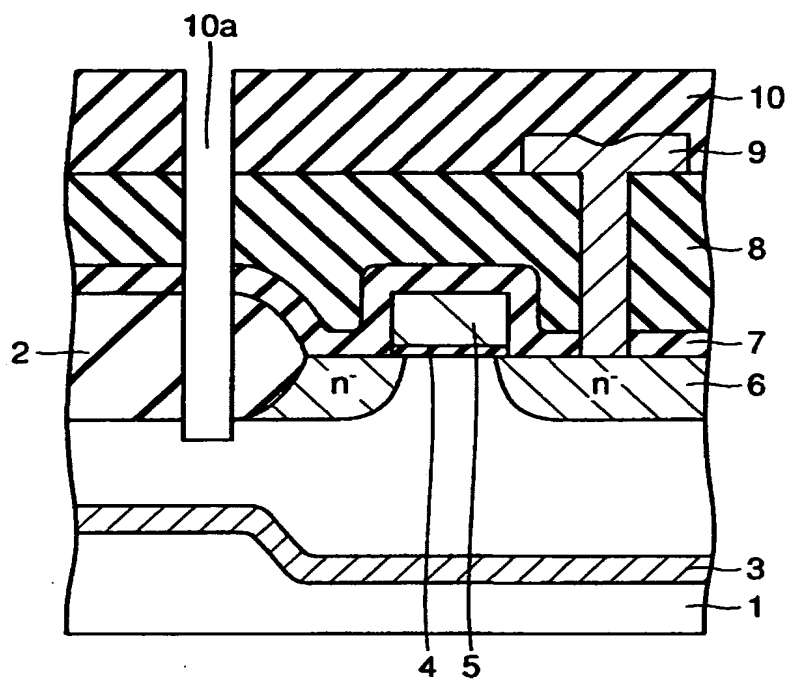
【図 20】



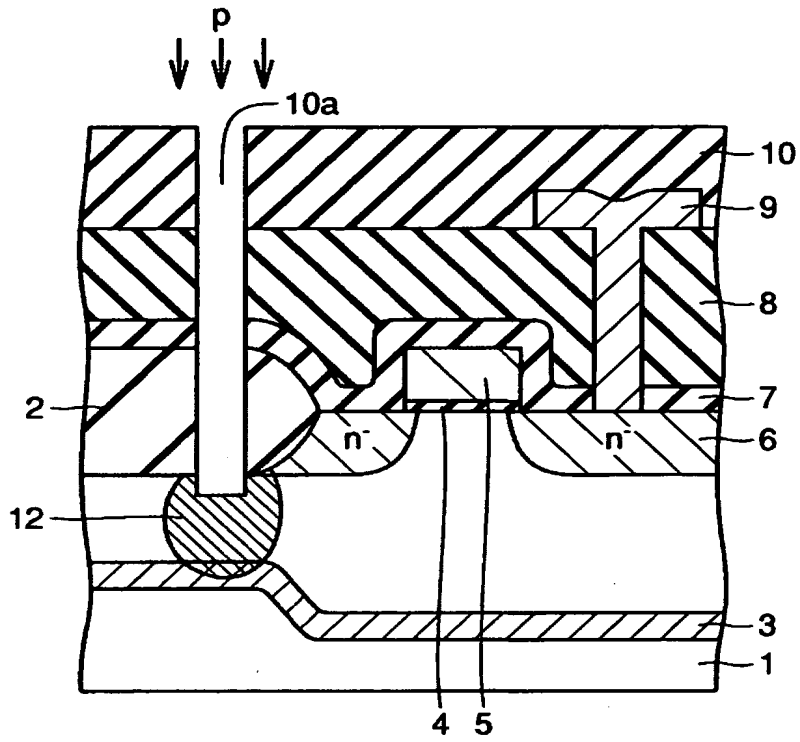
【図 21】



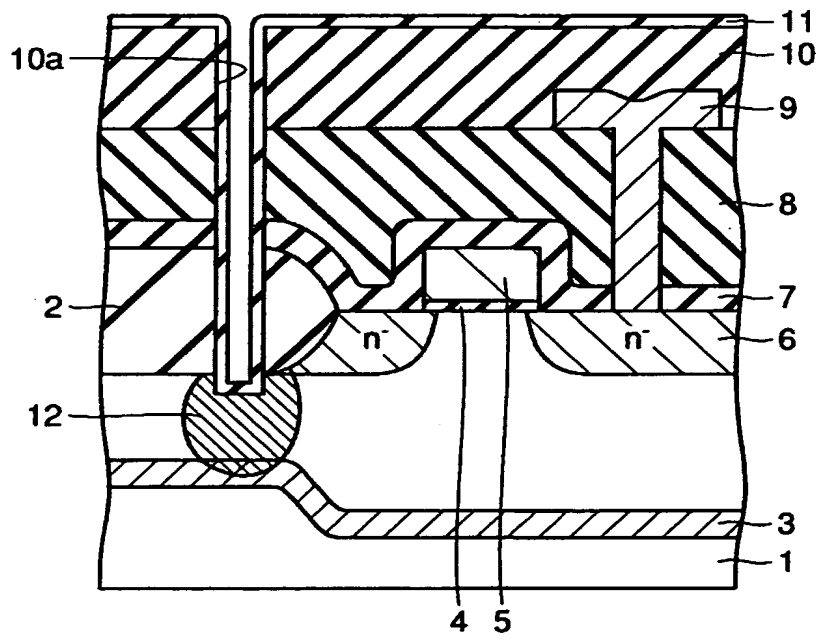
【図 22】



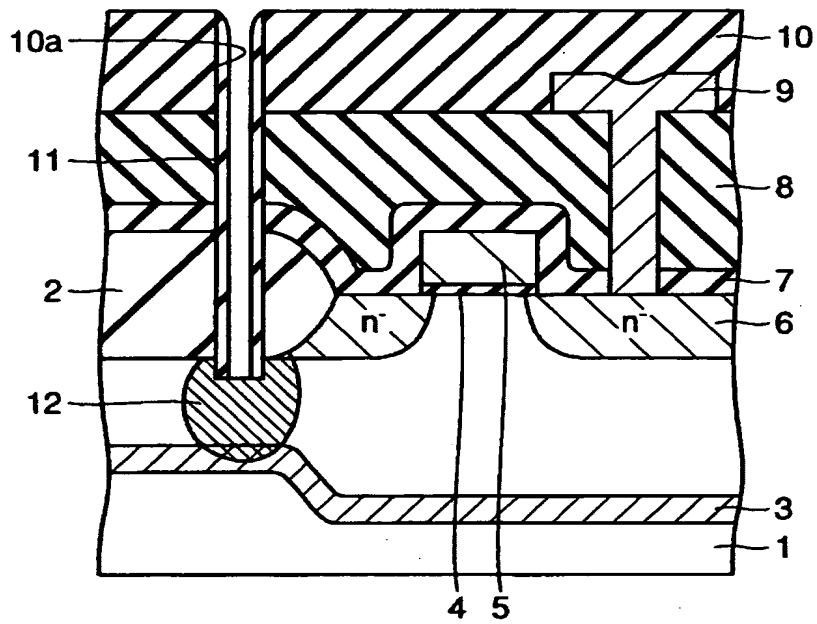
【図 23】



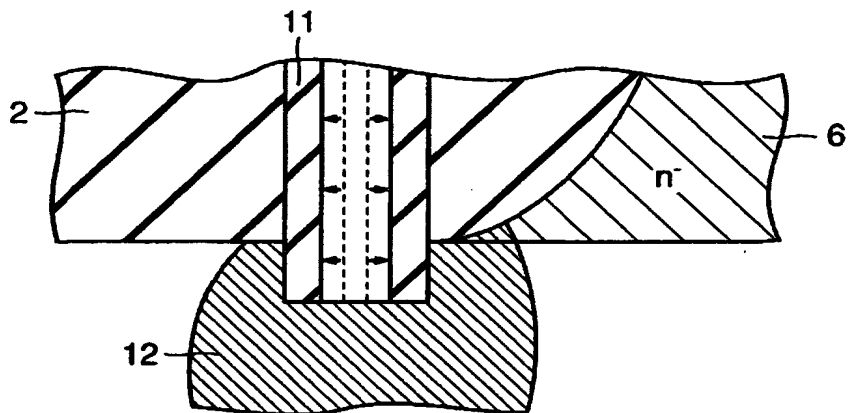
【図 24】



【図 25】



【図 26】



【書類名】 要約書

【要約】

【課題】 半導体装置の微細化に伴う配線層を形成するための孔径の減少を未然に防止することにより、半導体装置の動作特性の安定化を図ることのできる半導体装置およびその製造方法を提供する。

【解決手段】 コンタクトホール 10a の側壁部分には、半導体装置の微細化にともなうコンタクトホール 10a の孔径の縮小化の要請から、窒化膜などの絶縁膜からなるフッ酸にエッチングされない耐フッ酸側壁膜 51 が設けられている。さらに、コンタクトホール 10a の下端部近傍のシリコン基板 1 には、1 対の n 型ソース/ドレイン領域 6 の他方と接続する第 2 不純物領域 50 および p 型アイソレーション領域 3 に達する第 1 不純物領域 52 が設けられている。

【選択図】 図 1

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】
【識別番号】 000006013
【住所又は居所】 東京都千代田区丸の内二丁目2番3号
【氏名又は名称】 三菱電機株式会社
【代理人】 申請人
【識別番号】 100064746
【住所又は居所】 大阪府大阪市北区南森町2丁目1番29号 住友銀行南森町ビル 深見特許事務所
【氏名又は名称】 深見 久郎
【選任した代理人】
【識別番号】 100085132
【住所又は居所】 大阪府大阪市北区南森町2丁目1番29号 住友銀行南森町ビル 深見特許事務所
【氏名又は名称】 森田 俊雄
【選任した代理人】
【識別番号】 100091395
【住所又は居所】 大阪府大阪市北区南森町2-1-29 住友銀行南森町ビル 深見特許事務所
【氏名又は名称】 吉田 博由
【選任した代理人】
【識別番号】 100091409
【住所又は居所】 大阪府大阪市北区南森町2-1-29 住友銀行南森町ビル 深見特許事務所
【氏名又は名称】 伊藤 英彦

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社